

Korean
Office
Action

00721

출력 일자: 2003/10/28

발송번호 : 9-5-2003-041631992

발송일자 : 2003. 10. 27

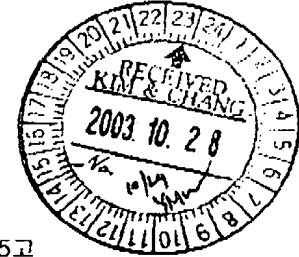
제출기일 : 2003. 12. 27

수신 : 서울 종로구 내자동 219 한누리빌딩(김&

장 특허법률사무소)

장수길 귀하

110-053

특허청
의견제출통지서

출원인

명칭 산요덴키가부시킴이샤 (출원인코드: 519980961320)

주소 일본 오사카부 모리구치시 게이한 혼도오리 2초메 5번 5고

대리인

성명 장수길 외 2명

주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호

10-2001-0066694

발명의 명칭

반도체 장치와 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매 회 1월 단위로 연장할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-8항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원의 청구범위 제1-8항은 반도체 장치 및 그 제조방법에 관한 것으로, 반도체층상에 제1, 제2게이트절연막상에 걸쳐도록 형성된 게이트 전극, 보디영역, 소스/드레인영역을 갖는 반도체 장치에서 제1게이트 절연막은 LOCOS법에 의해 형성된 것을 특징으로 하나, 이는 인용발명1(일본특개평 4-154173호)의 도면 제2,3도에 개시된 반도체 장치의 구성과, 인용발명2(한국공개특허1999-41054호)에 개시된, 고전압 전력소자의 구성으로부터 통상의 지식을 가진 자가 용이하게 발명할 수 있습니다.

[참조]

참조 1 일본공개특허공보 평04-154173호(1992.05.27) 1부

참조 2 한국공개특허공보 1999-41054호(1999.06.15) 1부 끝.

2003. 10. 27

특허청

심사4국

반도체2심사담당관실





심사관 임동우



SEMICONDUCTOR DEVICE

Patent number: JP4154173
Publication date: 1992-05-27
Inventor: SHIRAI KOJI
Applicant: TOSHIBA CORP
Classification:
- international: H01L29/784
- european:
Application number: JP19900280202 19901017
Priority number(s):

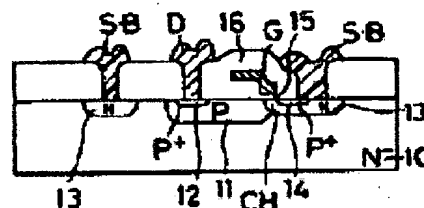
Also published as:

 EP0481454 (A)
 US5306938 (A)
 EP0481454 (A)
 EP0481454 (B)

Abstract of JP4154173

PURPOSE: To improve electrostatic surge resistance of a lateral MOSFET by forming a back gate region (in which its partial surface is a channel region) so as to be brought into contact with the part of the outer periphery of the drain region and to surround the drain region at a position separate therefrom.

CONSTITUTION: A first impurity diffused layer 11 for a P-type drain region is formed partly on the surface of a semiconductor substrate 10, and a second impurity diffused region 12 for leading a P<+> type drain electrode is formed in the region 11. A third impurity diffused layer 13 for an N-type back gate region (in which its partial surface is a channel region) having higher impurity concentration than that of the substrate 10 is formed partly on the substrate 10 so as to surround the layers 11 and 12. If a high voltage electrostatic surge is input to a drain electrode D formed in contact with the layer 12, a surge current dispersively flows from the drain region toward a peripheral back gate region, the rise of the potential of the drain region is reduced so as to scarcely exceed the absolute resistance of a gate insulating film 15 and to improve an electrostatic surge resistance.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-154173

⑬ Int.Cl.⁵
H 01 L 29/784

識別記号 庁内整理番号

⑭ 公開 平成4年(1992)5月27日

8422-4M H 01 L 29/78 3 0 1 X
8422-4M 3 0 1 D

審査請求 未請求 請求項の数 4 (全7頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-280202

⑰ 出 願 平2(1990)10月17日

⑱ 発 明 者 白 井 浩 司 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩
川工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

(1) 横型MOS FETが形成された半導体装置において、上記横型MOS FETは、

第1導電型の半導体基板の表面の一部に形成された第2導電型のドレイン領域用の第1の不純物拡散層と、

この第1の不純物拡散層の領域内部に存在し、この第1の不純物拡散層よりも基板表面から接合面までの深さ方向の距離が浅く形成され、この第1の不純物拡散層より高い不純物濃度を有する第2導電型のドレイン電極取り出し用の第2の不純物拡散層と、

前記第1の不純物拡散層の外周の一部に接し、前記第1の不純物拡散層および第2の不純物拡散層を取り囲むように前記半導体基板の表面の一部に形成され、上記半導体基板より高い不純物濃度を有する第1導電型のバックゲート領域用の第3

の不純物拡散層と、

この第3の不純物拡散層が前記第1の不純物拡散層に接する領域内部に存在し、この第3の不純物拡散層よりも基板表面から接合面までの深さ方向の距離が浅く形成され、前記第1の不純物拡散層より高い不純物濃度を有する第2導電型のソース領域用の第4の不純物拡散層と、

この第4の不純物拡散層と前記第1の不純物拡散層との間の前記第3の不純物拡散層の表面のチャンネル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記第2の不純物拡散層にコンタクトして形成されたドレイン電極と、

前記第3の不純物拡散層および第4の不純物拡散層に共通にコンタクトして形成されたソース・バックゲート共通電極

とを具備することを特徴とする半導体装置。

(2) 請求項1記載の半導体装置において、前記半導体基板はシリコン単結晶基板であり、前記ゲート絶縁膜は二酸化シリコン膜であることを特

微とする半導体装置。

(3) 請求項1記載の半導体装置において、前記第1導電型の半導体基板は、第2導電型の半導体基板上で、第1導電型の半導体基板より高い不純物濃度を有する第1導電型の半導体領域により囲まれていることを特徴とする半導体装置。

(4) 請求項3記載の半導体装置において、前記第2導電型の半導体基板上には請求項1記載の素子とは別の素子が形成されていることを特徴とする集積回路化された半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、個別半導体素子あるいは半導体集積回路などの半導体装置に係り、特に半導体基板上に形成される二重拡散型の横型MOS FET(絶縁ゲート型電界効果トランジスタ)の構造に関する。

(従来の技術)

一般に、二重拡散型のMOS FETを

は、ドレイン電極58に高電圧の静電サージが入力した場合、第6図中に示す矢印のように、寄生ダイオードの順方向、つまり、ドレイン領域用のP型拡散層51→チャネル領域・バックゲート領域用のN型拡散層53の経路に沿ってサージ電流が流れる。しかし、この時、N型拡散層53の抵抗成分Rによってドレイン領域用のP型拡散層51の電位が上昇し、この電位がゲート絶縁膜55の絶縁耐量を超えた場合にはゲート絶縁膜55が破壊し、素子の静電破壊が生じてしまう。

(発明が解決しようとする課題)

上記したように従来の横型MOS FETは、素子の静電サージ耐量(静電破壊電圧)が低いという問題がある。

本発明は、上記問題点を解決すべくなされたもので、その目的は、横型MOS FETの静電サージ耐量の向上を図り得る半導体装置を提供することにある。

CMOS(相補性MOS)により構成する場合、PチャネルMOSトランジスタまたはNチャネルMOSトランジスタのいずれか一方は横型MOS FETとして構成している。

第5図(a)および(b)は、従来の横型のPチャネルMOSトランジスタの一例について、平面パターンおよびそのB-B線断面構造を示している。第5図(a)および(b)において、50はN⁻型の半導体基板、51はドレイン領域用のP型拡散層、52はドレイン電極取り出し用のP⁺型拡散層、53はチャネル領域・バックゲート領域用のN型拡散層、54はソース領域用のP⁺型拡散層、55はゲート絶縁膜、56はゲート電極、57は層間絶縁膜、58はドレイン電極、59はソース・バックゲート共通電極である。ここで、ソース・バックゲート共通電極のコンタクト部59'は、ドレインコンタクト部58'との間に必ずゲート電極56が存在するようにパターン設計されている。

このような従来の横型MOS FETにおいて

〔発明の構成〕

(課題を解決するための手段)

本発明は、横型MOS FETが形成された半導体装置において、上記横型MOS FETは、第1導電型の半導体基板の表面の一部に形成された第2導電型のドレイン領域用の第1の不純物拡散層と、この第1の不純物拡散層の領域内部に存在し、この第1の不純物拡散層よりも基板表面から接合面までの深さ方向の距離が浅く形成され、この第1の不純物拡散層より高い不純物濃度を有する第2導電型のドレイン電極取り出し用の第2の不純物拡散層と、前記第1の不純物拡散層の外周の一部に接し、前記第1の不純物拡散層および第2の不純物拡散層を取り囲むように前記半導体基板の表面の一部に形成され、上記半導体基板より高い不純物濃度を有する第1導電型のバックゲート領域用の第3の不純物拡散層と、この第3の不純物拡散層が前記第1の不純物拡散層に接する領域内部に存在し、この第3の不純物拡散層よりも基板表面から接合面までの深さ方向の距離が浅

く形成され、前記第1の不純物拡散層より高い不純物濃度を有する第2導電型のソース領域用の第4の不純物拡散層と、この第4の不純物拡散層と前記第1の不純物拡散層との間の前記第3の不純物拡散層の表面のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記第2の不純物拡散層にコンタクトして形成されたドレイン電極と、前記第3の不純物拡散層および第4の不純物拡散層に共通にコンタクトして形成されたソース・バックゲート共通電極とを具備することを特徴とする。

(作用)

ドレイン領域の外周の一部に接し、これから離れた位置でこれを取り囲むようにバックゲート領域（一部の表面はチャネル領域となる。）が形成されているので、ドレイン電極に高電圧の静電サージが入力した場合には、サージ電流がドレイン領域から周囲のバックゲート領域の方向に分散して流れるので、ドレイン領域の電位の上昇が少なくなり、この電位がゲート絶縁膜の絶縁耐量を

され、この第1の不純物拡散層11より高い不純物濃度を有するP⁺型のドレイン電極取り出し用の第2の不純物拡散層である。13は前記第1の不純物拡散層11の外周の一部に接し、前記第1の不純物拡散層11および第2の不純物拡散層12を取り囲むように前記半導体基板10の表面の一部に形成され、上記半導体基板10より高い不純物濃度を有するN型のバックゲート領域用の第3の不純物拡散層である。14はこの第3の不純物拡散層13が前記第1の不純物拡散層11に接する領域内部に存在し、この第3の不純物拡散層13よりも基板表面から接合面までの深さ方向の距離が浅く形成され、前記第1の不純物拡散層11より高い不純物濃度を有するP⁺型のソース領域用の第4の不純物拡散層である。Gはこの第4の不純物拡散層14と前記第1の不純物拡散層11との間の前記第3の不純物拡散層13の表面のチャネル領域CH上にゲート絶縁膜（例えば二酸化シリコン膜；SiO₂膜）15を介して形成されたゲート電極である。Dは前記第2の不純

物拡散層12にコンタクトして形成されたドレイン電極である。ここで、ドレインコンタクト部をD'で示している。S・Bはこのドレインコンタクト部D'から離れた位置でこれを取り囲み、前記第3の不純物拡散層13および第4の不純物拡散層14に共通にコンタクトして形成されたソース・バックゲート共通電極、16は層間絶縁膜（SiO₂）である。ここで、ソースコンタクト部をS'、バックゲートコンタクト部をB'で示している。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図は、第1実施例に係る個別半導体装置における横型のPチャネルMOSトランジスタの平面パターンを示しており、この横型のPチャネルMOSトランジスタの形成方法の一例を第2図(a)乃至(m)に示しており、第2図(m)は第1図中のX-X線に沿う断面構造を示している。

第1図および第2図(m)において、10は第1導電型（本例ではN型）の比較的低い不純物濃度を有するN⁻型の半導体基板（例えばシリコン単結晶基板）、11はこの半導体基板10の表面の一部に形成された第2導電型（本例ではP型）のドレイン領域用の第1の不純物拡散層である。12はこの第1の不純物拡散層11の領域内部に存在し、この第1の不純物拡散層11よりも基板表面から接合面までの深さ方向の距離が浅く形成

次に、上記したような横型のPチャネルMOSトランジスタの形成方法の一例について第2図(a)乃至(m)を参照しながら簡単に説明する。

まず、第2図(a)に示すように、N⁻型シリコン基板10に対して1000℃のドライ酸化により表面に0.1μmの絶縁膜(SiO₂)21を形成する。

次に、第2図(b)に示すように、フォトリソ法により表面にフォトレジストパターン22を形成し、イオン注入法により全面にP型不

純物のイオン（例えばボロンイオン B^+ ）を注入する。

次に、第2図(c)に示すように、1200℃の熱処理によりボロンを拡散させ、P型のドレイン領域用の不純物拡散層11を形成する。

次に、第2図(d)に示すように、1000℃のスチーム酸化により表面に1.0 μm の絶縁膜(SiO_2)23を成長させる。

次に、第2図(e)に示すように、フォトリソ法により前記絶縁膜23の一部を開口する。

次に、第2図(f)に示すように、1000℃のドライ酸化により上記開口部の表面に0.1 μm のゲート絶縁膜(SiO_2)15を形成する。

次に、第2図(g)に示すように、CVD（化学気相成長）法により基板全面にポリシリコン膜を0.5 μm の厚さに堆積した後、フォトリソ法により前記ポリシリコン膜をパターンニングしてゲート電極Gを形成する。

次に、第2図(h)に示すように、フォトリソ法により表面にフォトリソレジストパターン

24を形成し、全面にイオン注入法によりN型不純物のイオン（例えばリンイオン P^+ ）を注入する。

次に、第2図(i)に示すように、1200℃の熱処理によりリンを拡散させ、N型のバックゲート領域用の不純物拡散層13を形成する。

次に、第2図(j)に示すように、フォトリソ法により表面にフォトリソレジストパターン25を形成し、イオン注入法により全面にボロンイオン B^+ を注入する。

次に、第2図(k)に示すように、CVD法により基板全面に層間絶縁膜(SiO_2)16を1.0 μm の厚さに堆積した後、1000℃の熱処理により、上記層間絶縁膜16のアニールおよびボロンの拡散を行い、 P^+ 型のドレイン電極取り出し用の不純物拡散層12とソース領域用の不純物拡散層14を形成する。

次に、第2図(l)に示すように、フォトリソ法により前記層間絶縁膜16の一部を開口してコンタクトホールを形成する。

次に、第2図(m)に示すように、基板全面に金属配線膜（例えばAl）を1.0 μm の厚さに蒸着した後、フォトリソ法により上記金属配線膜をパターンニングすることにより、前記ドレイン電極取り出し用の不純物拡散層12にコンタクトするドレイン電極Dと、前記ソース領域用の不純物拡散層14およびこの周辺領域の一部のバックゲート領域用の不純物拡散層13に共通にコンタクトすると共に残りのバックゲート領域用の不純物拡散層13に共通にコンタクトするソース・バックゲート共通電極S・Bとを形成し、400℃でシンター処理を行う。

上記したような第1実施例の横型のPチャネルMOSトランジスタによれば、ドレイン領域11の外周の一部に接し、これから離れた位置でこれを取り囲むようにバックゲート領域13が形成されているので、ドレイン電極Dに高電圧の静電サージが入力した場合には、サージ電流がドレイン領域11から周囲のバックゲート領域13の方向に分散して流れるようになり、ドレイン領域11

の電位の上昇が少なくなり、この電位がゲート絶縁膜15の絶縁耐量を越え難くなり、ゲート絶縁膜15の破壊、素子の静電破壊が抑制される。

第3図および第4図は、それぞれ本発明の素子を集積回路化した場合における横型のPチャネルMOSトランジスタの断面構造を示している。

第3図は、 P^- 型基板30上で深い N^+ 型拡散層31および N^+ 型埋め込み層32により囲まれた島状の N^- 型エピタキシャル層33上に横型のPチャネルMOSトランジスタを形成したものである。即ち、 P^- 型基板30上に N^- 型エピタキシャル層33が形成されると共に N^+ 型埋め込み層32が形成され、この N^- 型エピタキシャル層32の一部に素子分離用の P^+ 型半導体領域34が形成され、さらに、 N^- 型エピタキシャル層33の一部には N^+ 型埋め込み層32に達する深い N^+ 型拡散層31が形成されている。そして、この深い N^+ 型拡散層31および N^+ 型埋め込み層32により囲まれた N^- 型エピタキシャル層33上にドレイン領域用のP型拡散層11が形成

され、上記N⁻型エピタキシャル層33の表面上に上記P型拡散層11の外周の一部に接すると共に一部が上記深いN⁺型拡散層31の内部に位置するようにチャンネル領域・バックゲート領域用のN型拡散層13が形成され、このN型拡散層13に連なって前記P型拡散層11を離れた位置で取り囲むように上記深いN⁺型拡散層31の内部に位置するバックゲート領域用のN型拡散層13'が形成されている。なお、12はドレイン領域電極取り出し用のP⁺型拡散層、14はソース領域用のP⁺型拡散層、15はゲート絶縁膜、Gはゲート電極、Dはドレイン電極、S・Bはソース・バックゲート共通電極、16は層間絶縁膜、35はバックゲート領域電極取り出し用のN⁺型拡散層である。

第4図は、P⁻型基板40上でN⁺型埋め込み層41により囲まれて深く形成された島状のN⁻型の埋め込みエピタキシャル層42上に横型のPチャンネルMOSトランジスタを形成したものである。即ち、P⁻型基板40上に深く形成された凸

状のN⁺型埋め込み層41の内部にN⁻型の埋め込みエピタキシャル層42が形成され、このN⁻型エピタキシャル層42上にドレイン領域用のP型拡散層11が形成され、上記N⁻型エピタキシャル層42の表面上に上記P型拡散層11の外周の一部に接すると共に一部が上記N⁺型埋め込み層41の内部に位置するようにチャンネル領域・バックゲート領域用のN型拡散層13が形成され、このN型拡散層13に連なって前記P型拡散層11を離れた位置で取り囲むように上記N⁻型エピタキシャル層42の表面の一部およびN⁺型埋め込み層41の表面にバックゲート領域用のN型拡散層13'が形成されている。なお、12はドレイン領域電極取り出し用のP⁺型拡散層、14はソース領域用のP⁺型拡散層、15はゲート絶縁膜、Gはゲート電極、Dはドレイン電極、S・Bはソース・バックゲート共通電極、16は層間絶縁膜、35はバックゲート領域電極取り出し用のN⁺型拡散層である。

なお、第3図および第4図に示した集積回路に

おいては、P⁻型基板30、40上に上記横型のPチャンネルMOSトランジスタとは分離されて別の素子が形成されている。

[発明の効果]

上述したように本発明の半導体装置によれば、横型MOS FETの静電サージ耐量の向上を図ることができる。因みに、従来例の横型MOS FETは、容量負荷がない場合の静電サージ耐量が〜数百V程度しかなかったが、本発明の横型MOS FETは、千V以上の静電サージ耐量を実現できた。

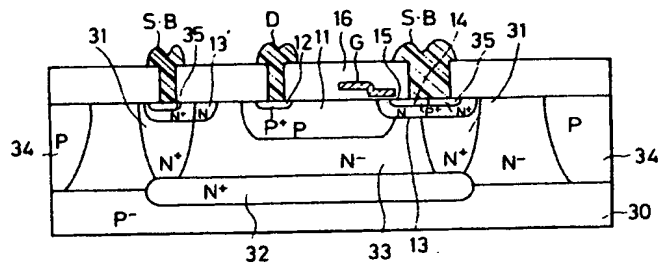
4. 図面の簡単な説明

第1図は本発明の第1実施例に係る横型のPチャンネルMOSトランジスタの平面パターンを示す図、第2図(a)乃至(m)は第1図中のMOSトランジスタの形成方法の一例を示す断面図、第3図は本発明の第2実施例に係る横型のPチャンネルMOSトランジスタを示す断面図、第4図は本発明の第3実施例に係る横型のPチャンネルMOSトランジスタを示す断面図、第5図(a)および

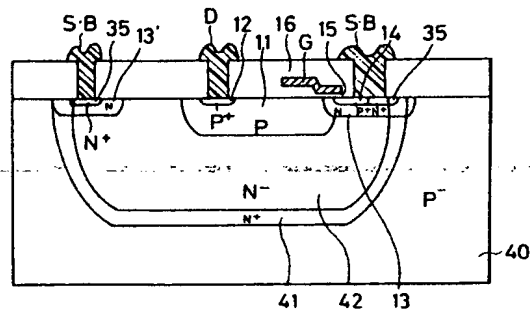
(b)は従来の横型のMOS FETの平面パターンおよびそのB-B線断面を示す図、第6図は第5図(b)の横型のMOS FETに静電サージが入力した場合のサージ電流の流れを示す図である。

10…N⁻型半導体基板、11…ドレイン領域用のP型拡散層、12…ドレイン領域電極取り出し用のP⁺型拡散層、CH…チャンネル領域、13…チャンネル領域・バックゲート領域用のN型拡散層、13'…バックゲート領域用のN型拡散層、14…ソース領域用のP⁺型拡散層、15…ゲート絶縁膜、G…ゲート電極、D…ドレイン電極、D'…ドレインコンタクト部、S・B…ソース・バックゲート共通電極、S'…ソースコンタクト部、B'…バックゲートコンタクト部、16…層間絶縁膜、30、40…P⁻型半導体基板、31…深いN⁺型拡散層、32…N⁺型埋め込み層、33…島状のN⁻型エピタキシャル層、34…素子分離用のP⁺型半導体領域、35…バックゲート領域電極取り出し用のN⁺型

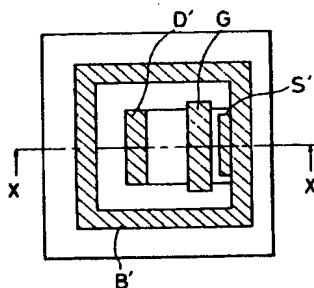
拡散層、41…N⁺型埋め込み層、42…島状のN⁻型の埋め込みエピタキシャル層。



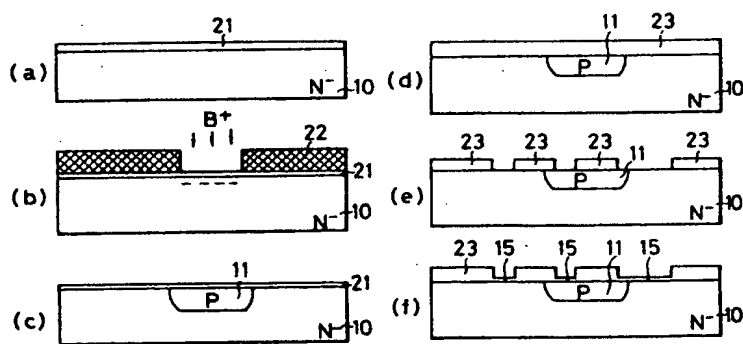
第3図



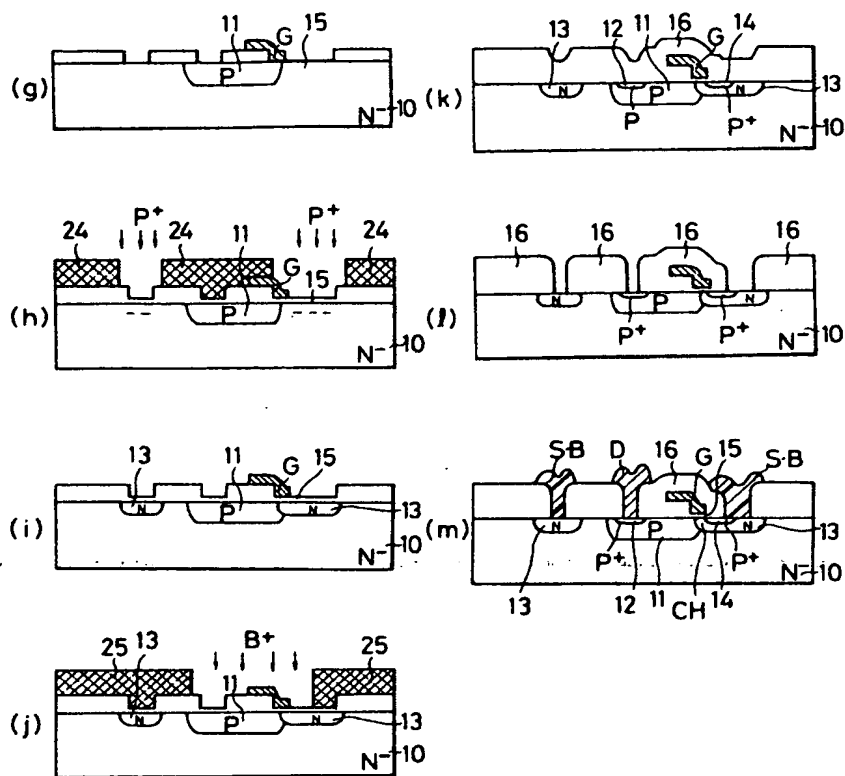
第4図



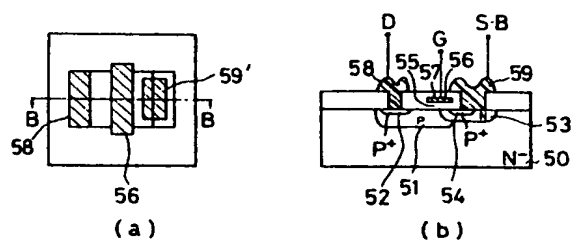
第1図



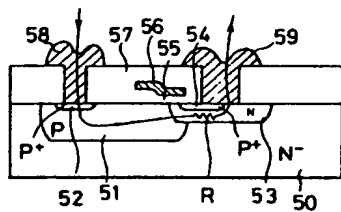
第2図



第 2 図



第 5 図



第 6 図